

## NONVOLATILE MEMORY

Patent Number: JP8203292

Publication date: 1996-08-09

Inventor(s): WAKUTSU TOSHIYUKI

Applicant(s):: FUJI FILM MICRO DEVICE KK; FUJI PHOTO FILM CO LTD

Requested Patent:  JP8203292

Application Number: JP19950013835 19950131

Priority Number(s):

IPC Classification: G11C29/00 ; G06F12/16 ; G11C16/06

EC Classification:

Equivalents:

### Abstract

**PURPOSE:** To prevent occurrence of an error due to deterioration of a memory unit and to attain improvement of reliability by executing substitution of the memory unit when the error is detected from data for access stored in the memory unit.

**CONSTITUTION:** A control part 7 reads out raw data 4 and ECC data 5 from a block in a flash memory 1 corresponding to a readout address supplied from the outside. When no error is contained in the raw data, the control part 7 reads out the raw data 4 and outputs them outside as data. When any error is contained in the raw data 4, on the other hand, it executes correction of the raw data 4 on the basis of the ECC data 5 and outputs them outside. When it is judged that the error is contained in the raw data 4, a memory cell in the block read out is judged to be deteriorated and a flag 6 is changed from '1' to '0' and written in. The control part 7 judges that the memory cell in the block is deteriorated, and substitutes a reserve block 3 for that block.

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-203292

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl\*

G 11 C 29/00

G 06 F 12/16

G 11 C 16/06

識別記号

301 A

310 P 7623-5B

府内整理番号

F I

技術表示箇所

G 11 C 17/00

309 F

審査請求 未請求 請求項の数6 O.L (全9頁)

(21)出願番号

特願平7-13835

(22)出願日

平成7年(1995)1月31日

(71)出願人 391051588

富士フィルムマイクロデバイス株式会社  
宮城県黒川郡大和町松坂平1丁目6番地

(71)出願人 000005201

富士写真フィルム株式会社  
神奈川県南足柄市中沼210番地

(72)発明者 和久津 俊幸

宮城県黒川郡大和町松坂平1丁目6番地  
富士フィルムマイクロデバイス株式会社内

(74)代理人 弁理士 高橋 敬四郎 (外1名)

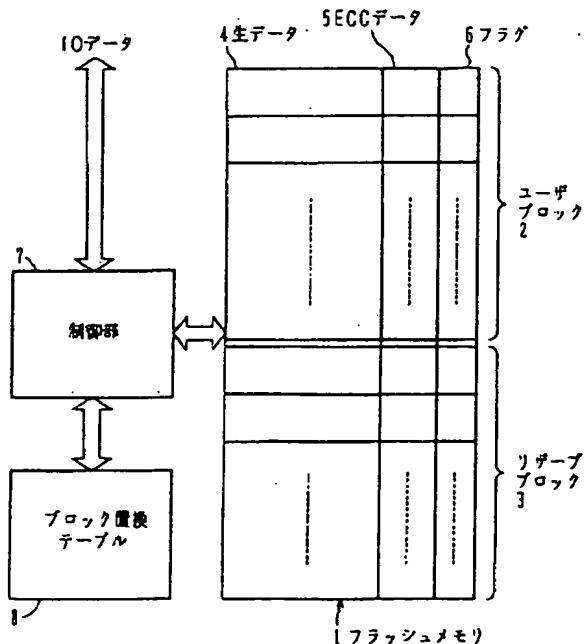
(54)【発明の名称】 不揮発性メモリ

(57)【要約】

【目的】 記憶データの信頼性が高い不揮発性メモリを提供することを目的とする。

【構成】 アクセス用データ(4)を記憶することができる複数のメモリ単位を有するユーザメモリ単位(2)と該ユーザメモリ単位内のメモリ単位に置き換えて使用するための予備のメモリ単位を有するリザーブメモリ単位(3)を有するメモリ単位アレイ(1)と、エラー検出用データ(5)を記憶するためのエラー検出用メモリと、外部から供給されるアクセス用データを基にエラー検出用データ(5)を生成し、該アクセス用データをメモリ単位アレイに記憶し、該エラー検出用データをエラー検出用メモリに記憶するための手段と、メモリ単位に記憶されているアクセス用データにエラーが含まれているときにはメモリ単位の置き換えを行う手段(7)とを有する。

実施例1



## 【特許請求の範囲】

【請求項1】 アクセス用データ(4)を記憶することができる複数のメモリ単位を有するユーザメモリ単位(2)と該ユーザメモリ単位内のメモリ単位に置き換えて使用するための予備のメモリ単位を有するリザーブメモリ単位(3)を有するメモリ単位アレイ(1)と、前記メモリ単位アレイ内のメモリ単位に対応して設けられ、各メモリ単位に記憶されるアクセス用データのエラー検出を行うためのエラー検出用データ(5)を記憶するためのエラー検出用メモリと、外部から供給されるアクセス用データを基にエラー検出用データ(5)を生成し、該アクセス用データを前記メモリ単位アレイに記憶し、該エラー検出用データを前記エラー検出用メモリに記憶するための書き込み手段(7)と、前記エラー検出用メモリに記憶されているエラー検出用データを基に、前記メモリ単位に記憶されているアクセス用データにエラーが含まれているか否かを検出し、エラー検出に基づいて前記メモリ単位アレイ内のメモリ単位を置き換える置き換え手段(7, 8)とを有する不揮発性メモリ。

【請求項2】 前記置き換え手段は、エラーを検出したメモリ単位を記憶する記憶手段を有する請求項1記載の不揮発性メモリ。

【請求項3】 前記置き換え手段は、アクセス用データをメモリ単位アレイに書き込む際に、前記記憶手段を参照し、必要なメモリ単位置き換えを行う請求項2記載の不揮発性メモリ。

【請求項4】 さらに、前記メモリ単位アレイからアクセス用データを読み出す際に、前記エラー検出用メモリに記憶されているエラー検出用データを基に該アクセス用データのエラー訂正を行うエラー訂正手段(7)を有する請求項1～3のいずれかに記載の不揮発性メモリ。

【請求項5】 アクセス用データ(4)を記憶することができる複数のメモリ単位を有するユーザメモリ単位(2)と該ユーザメモリ単位内のメモリ単位に置き換えて使用するための予備のメモリ単位を有するリザーブメモリ単位(3)を有するメモリ単位アレイ(1)と、前記メモリ単位アレイ内のメモリ単位に対応して設けられ前記メモリ単位アレイ内のメモリ単位に記憶されるアクセス用データ(4)のエラー検出を行うためのエラー検出用データ(5)を記憶するためのエラー検出用メモリを有する不揮発性メモリへのデータアクセス方法であって、

外部から供給されるアクセス用データを基に該アクセス用データのエラー検出を行うためのエラー検出用データを生成し、該アクセス用データを前記メモリ単位アレイ内のメモリ単位に記憶し、該エラー検出用データを前記対応するメモリ単位のエラー検出用メモリに記憶する工程と、

前記エラー検出用メモリに記憶されているエラー検出用データを基に、前記メモリ単位に記憶されているアクセス用データにエラーが含まれているか否かを検出し、エラー検出に基づいて前記メモリ単位アレイ内のメモリ単位を置き換える工程とを含む不揮発性メモリのデータアクセス方法。

【請求項6】 さらに、前記メモリ単位アレイからアクセス用データを読み出す際に、前記エラー検出用メモリに記憶されているエラー検出用データを基に該アクセス用データのエラー訂正を行う工程を含む請求項5記載の不揮発性メモリのデータアクセス方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は不揮発性メモリに関し、特に記憶データの信頼性を高めることのできる不揮発性メモリに関する。

## 【0002】

【従来の技術】 図5は、従来技術による不揮発性メモリの構成を示す。この不揮発性メモリは、記憶されたデータのエラー検出またはエラー訂正が可能である。以下、エラー検出または訂正のための処理をECCと呼ぶ。ECCには、例えばリードソロモン符号を用いたものがある。

【0003】 フラッシュメモリ41は、不揮発性メモリであり、複数のブロックから構成される。ブロックとは、消去を行う最小単位のメモリブロックである。なお、ブロックは、書き込みまたは読み出しを行う最小単位でもある場合について以下説明する。各ブロックは、生データ4とECCデータ5を記憶するための領域を有する。例えば、生データ4は、256バイトの大きさであり、ECCデータ5は8バイトの大きさである。

【0004】 生データ4は、エラーを含んでいなければ、書き込みデータと同じである。ECCデータ5は、生データ4に含まれるエラーを検出または訂正するためのデータである。生データ4がエラーを含む場合、生データ4をECCデータ5で訂正したデータが読み出される。この場合、生データ4は書き込みデータおよび読み出しデータと異なるものとなる。

【0005】 フラッシュメモリ41に書き込みを行う際の動作を説明する。書き込みを行うためのデータは、外部から制御部47へ、書き込み命令(制御信号)および書き込みアドレスと共に供給される。書き込みデータは、1ブロック分のデータであり、例えば256バイトである。

【0006】 制御部47は、供給された256バイトの書き込みデータ(生データ4)を基に、ECC(例えば、リードソロモン符号)の演算を行い、8バイトのECCデータ5を生成する。そして、書き込みデータ(生データ4)とECCデータ5をフラッシュメモリ41に書き込む。書き込みデータは、生データ4として書き込

まれる。書き込み時にエラーが発生すると、生データ4はエラーを含むことになり、書き込みデータと生データ4は等しくなくなる。書き込まれる場所は、外部から供給される書き込みアドレスに対応するブロックである。

【0007】以上により、フラッシュメモリ41の特定ブロックに生データ4とECCデータ5を書き込むことができる。次に、フラッシュメモリ41から読み出しを行う際の動作を説明する。

【0008】読み出しを行う際には、まず、外部から制御部47へ、読み出し命令（制御信号）および読み出しアドレスが供給される。制御部47は、外部から供給される読み出しアドレスに対応するフラッシュメモリ41内のブロックから、生データ4とECCデータ5を読み出す。

【0009】そして、エラー検出またはエラー訂正の処理を行う。まず、ECCデータ5を基にして、生データ4にエラーが含まれているか否かの検出を行う。制御部47は、生データ4にエラーが含まれていなければ、生データ4をそのまま読み出しデータとして外部へ出力する。一方、生データ4にエラーが含まれているときには、ECCデータ5を基に生データ4のエラー訂正を行って、外部へ読み出しデータとして出力する。

【0010】

【発明が解決しようとする課題】一般に、フラッシュメモリは、メモリセルの構造上の理由から、書き換え用のアクセス回数が有限回に制限されており、使用するにつれて劣化して行く。メモリセルは、コントロールゲートとフローティングゲートを有し、絶縁膜を貫通するトンネル電流を用いてフローティングゲートに電荷を注入したり、排出することにより、“0”または“1”的データを記憶させることができる。例えば、フローティングゲートに電荷を注入する際には、コントロールゲートに20Vの電圧を印加する。

【0011】フローティングゲートに電荷を注入したり、排出したりする処理を繰り返すと、次第にフローティングゲート周辺にある絶縁膜が劣化する。絶縁膜が劣化すると、その部分から電荷のリークが生じ、データエラーの原因になる。

【0012】絶縁膜に劣化が生ずると、そのメモリセルは、エラー発生率が高くなり、エラーの再現性を示す。また、製造時に、絶縁膜が必要以上に薄く仕上がってしまったときにも、そのメモリセルは、エラー発生率が高くなる。このようなメモリセルは、使用を避けることが望ましい。

【0013】以上のエラーは、機能の劣化した特定のメモリセルから発生する。また、このようなメモリセルと同じ論理ライン上の別のメモリセルからも、エラーが発生しやすくなる。その理由を次に説明する。

【0014】論理ラインとは、書き込みまたは読み出しを行う最小単位を示すブロック内のメモリセルを共通に

結ぶワードラインである。論理ラインには、ブロック内の複数のメモリセルが接続される。それらのメモリセルには、1つの長い共通のコントロールゲートが設けられている。フローティングゲートは、各メモリセルに別々に設けられている。

【0015】ここで、ある論理ラインに接続されているメモリセルのうちの1つが、前述のように劣化したとする。この論理ライン上において、劣化メモリセルとは別のメモリセルに書き込みを行う際には、コントロールゲートに20Vの電圧を印加する。コントロールゲートは、論理ライン上のメモリセルの全てが共用する。コントロールゲートに20Vが印加され、劣化メモリセルの部分でリークが生じると、コントロールゲートの電圧が例えば10~15Vに低下してしまう。その結果、同一論理ライン上において劣化メモリセル以外のメモリセルにも正常な書き込みを行えない確率が高くなる。

【0016】以上の理由により、ある論理ライン上のメモリセルが劣化してしまうと、同一論理ライン上の別のメモリセルにもエラーが発生しやすくなる。つまり、フラッシュメモリ41のあるブロック内の論理ラインに1ビットでもエラーが発生すると、それ以後は同一論理ライン上の他のビットにもエラーが発生しやすくなる。このような場合は、ブロック全体が劣化したと考え、当該ブロックの使用を禁止することが望ましい。

【0017】エラーの検出または訂正を行うには、リードソロモン符号等のECCを用いる。ECCは、例えば1ビット訂正・2ビット検出の能力を有する。つまり、ブロック内の生データ4が1ビットのエラーのみを含むときには、エラー検出とエラー訂正の両方が可能であり、正しいデータを読み出すことができる。また、生データ4が2ビットのエラーを含むときには、エラー検出のみが可能であり、エラー訂正が不可能であるので、正しいデータを読み出すことができない。

【0018】ECCは、一般的に、エラーのビット数が少なければ正しいデータに訂正することが可能であるが、エラーのビット数が多くなると正しいデータに訂正することができなくなってしまう。

【0019】同一論理ライン上において、メモリセル劣化の初期段階では、エラーが発生するビット数が少ないために、正しいデータを読み出すことができる。しかし、メモリセルの劣化がさらに進むと、エラーが生じるビット数が増えて、ECCの能力を越えてしまう。こうなると、エラー訂正が行えず、正しいデータを読み出すことができない。

【0020】本発明の目的は、記憶データの信頼性が高い不揮発性メモリを提供することである。

【0021】

【課題を解決するための手段】本発明の不揮発性メモリは、アクセス用データを記憶することができる複数のメモリ単位を有するユーザメモリ単位と該ユーザメモリ単

位内のメモリ単位に置き換えて使用するための予備のメモリ単位を有するリザーブメモリ単位を有するメモリ単位アレイと、メモリ単位アレイ内のメモリ単位に対応して設けられ、各メモリ単位に記憶されるアクセス用データのエラー検出を行うためのエラー検出用データを記憶するためのエラー検出用メモリと、外部から供給されるアクセス用データを基にエラー検出用データを生成し、該アクセス用データをメモリ単位アレイに記憶し、該エラー検出用データをエラー検出用メモリに記憶するための書き込み手段と、エラー検出用メモリに記憶されているエラー検出用データを基に、メモリ単位に記憶されているアクセス用データにエラーが含まれているか否かを検出し、エラー検出に基づいてメモリ単位アレイ内のメモリ単位を置き換える置き換え手段とを有する。

## 【002】

【作用】メモリ単位に記憶されるアクセス用データからエラーが検出されると、それに応じてメモリ単位の置き換えを行うので、メモリ単位の劣化が進む前に当該メモリ単位の使用を取り止めることができる。

## 【0023】

【実施例】図1は、本発明の実施例による不揮発性メモリの構成を示す。フラッシュメモリ1は、不揮発性のメモリであり、複数のブロックから構成される。ブロックとは、消去を行う最小単位のメモリブロックである。なお、ブロックは、書き込みまたは読み出しを行う最小単位でもあり、生データ4とECCデータ5の他にフラグ6を記憶する。例えば、生データ4は256バイト、ECCデータ5は8バイト、フラグ6は1ビットの大きさである。

【0024】生データ4は、書き込みデータまたは読み出しデータの生のデータである。ECCデータ5は、生データ4に含まれるエラーの検出または訂正を行うためのデータであり、例えばリードソロモン符号等のECC演算により生成される。

【0025】フラグ6は、ブロック内のメモリセルが劣化したことを表すフラグである。フラグ6が“1”であるときには、劣化していないこと表し、フラグ6が“0”であるときには、劣化していることを表す。フラッシュメモリ1の製造時には、全てのメモリセルが消去状態に初期化される。消去状態では、全データが“1”である。フラグ6も、同様に“1”に初期化される。

【0026】フラッシュメモリ1を構成する複数のブロックは、ユーザブロック2とリザーブブロック3に分けられる。ユーザブロック2は、通常ユーザがデータの書き込みまたは読み出しを行うことができるブロックである。リザーブブロック3は、使用中のブロック内のメモリセルが劣化したときに、その劣化したブロックに代えて使用するための予備のブロックである。

【0027】ここでは、ユーザブロック2とリザーブブロック3を同一のフラッシュメモリデバイス内に設ける

場合を示したが、異なるフラッシュメモリデバイスに分けて設けるようにしてもよい。

【0028】まず、フラッシュメモリ1に書き込みを行う際の動作を説明する。書き込みデータは、外部から制御部7へ、書き込み命令（制御信号）および書き込みアドレスと共に供給される。書き込みデータは、1ブロック分のデータであり、例えば256バイトである。

【0029】制御部7は、外部から供給された書き込みデータ（生データ4）を基に、例えばリードソロモン符号等のECC演算を行い、ECCデータ5を生成する。そして、書き込みデータ（生データ4）とECCデータ5をフラッシュメモリ1に書き込む。書き込みデータは、生データ4として書き込まれる。書き込まれる場所は、外部から供給される書き込みアドレスに対応するブロックである。

【0030】以上により、フラッシュメモリ1の所望のブロックに生データ4とECCデータ5を書き込むことができる。初期時には、フラグ6は“1”であり、メモリセルは劣化していないので、初回の書き込み時には、フラグ6に関する処理は行わなくてよい。

【0031】次に、フラッシュメモリ1から読み出しを行う際の動作を説明する。読み出しを行なう際には、外部から制御部7へ、読み出し命令（制御信号）および読み出しアドレスが供給される。制御部7は、外部から供給される読み出しアドレスに対応するフラッシュメモリ1内のブロックから、生データ4とECCデータ5を読み出す。

【0032】そして、エラー検出またはエラー訂正を行うために、ECCデータ5を基にして、生データ4にエラーが含まれているか否かの検出を行う。制御部7は、生データ4にエラーが含まれていなければ、生データ4を読み出しデータとして外部へそのまま出力する。

【0033】一方、生データ4にエラーが含まれているときには、ECCデータ5を基に生データ4のエラー訂正を行って、外部へ読み出しデータとして出力する。生データ4にエラーが含まれていると判断されたときには、読み出したブロック内のメモリセルに劣化が生じたものと判断して、フラグ6を“1”から“0”に変更して書き込む。メモリセルが劣化したときの実質的な処理は、次回にそのブロックに書き込みを行う際に行われる。ここでは、フラグ6の変更のみを行う。

【0034】フラグ6が初期時から“1”的ままであれば、前述と同様に通常の書き込み処理を行う。フラグ6が“1”から“0”に変更された後の書き込み処理を次に説明する。

【0035】外部から指示された書き込みアドレスに対応するブロックのフラグ6が“0”であるときには、制御部7は、当該ブロック内のメモリセルが劣化したと判断して、当該ブロックをリザーブブロック3に置き換える。

【0036】次に、ブロックの置き換え方法について説明する。ブロック置換テーブル8は、不揮発性のメモリであり、論理アドレスから物理アドレスへの変換を行うためのテーブルであり、論理アドレスと物理アドレスが対応付けられている。制御部7は、外部から論理アドレスが供給されると、ブロック置換テーブル8を用いて、論理アドレスから物理アドレスへの変換を行う。物理アドレスにより、フラッシュメモリ1内のブロックが特定される。

【0037】初期時において、ブロック置換テーブル8内の物理アドレスは、全てユーザブロック2の物理アドレスを指している。その後、ブロックの置き換えが指示されると、対応するブロックの物理アドレスがリザーブブロック3の物理アドレスに書き換えられる。物理アドレスが書き換えられた後は、リザーブブロック3のブロックに対して書き込みまたは読み出しが行われる。

【0038】次に、フラッシュメモリへの読み出しおよび書き込みの処理手順をフローチャートを参照しながら説明する。図2は、フラッシュメモリからデータを読み出す際の処理を示すフローチャートである。

【0039】ステップS1では、外部から供給される読み出しアドレスに対応するブロックから生データ4、ECCデータ5、フラグ6を読み出す。ステップS2では、ECCデータ5を用いて、生データ4にエラーが含まれているか否かをチェックする（エラー検出）。エラーが含まれているときには、ECCデータ5を用いて、生データ4のエラー訂正を行い、正しいデータに復元する。生データ4にエラーが含まれていないときには、エラー訂正を行う必要はない。

【0040】ステップS3では、正しいデータ（生データ4または訂正されたデータ）を外部へ読み出しデータとして出力する。ステップS4では、ステップS2においてエラーが検出されたか否かをチェックする。エラーが検出されていないときには、読み出したブロック内のメモリセルが劣化していないと判断して、そのまま処理を終了する。一方、エラーが検出されたときには、ブロック内のメモリセルが劣化し始めたと判断して、ステップS5へ進む。

【0041】ステップS5では、ステップS1で読み出されたフラグ6の値をチェックする。フラグ6の初期値は“1”である。フラグ6が“1”であるときには、ステップS6へ進み、フラグ値を“1”から“0”に変更して、フラッシュメモリ1に書き込む。フラグ値“0”は、ブロック内のメモリセルが劣化したことを示す。一方、読み出したフラグ6が既に“0”であるときには、フラグ値を変更する必要がない。以上のフラグ6の処理を行って、読み出し全体の処理は終了する。

【0042】なお、ステップS4では、生データ4から1ビットでもエラーが検出されれば、フラグ6を変更するものとした。しかし、エラーの発生は、メモリセルの

劣化以外に、偶発的に発生するものもある。偶発的なエラーは、メモリセルの劣化の場合とは異なり再現性がないので、フラグの変更（ブロックの置き換え）を行わなくてよい。そこで、2ビット訂正・3ビット検出以上の能力を有するECCを用いて、ステップS4では、生データ4に2ビット以上のエラーが検出されるときのみ、フラグ6を変更するようにしてよい。

【0043】図3は、フラッシュメモリにデータを書き込む際の処理を示すフローチャートである。ステップS11では、外部から供給される書き込みアドレスに対応するブロックのフラグ6を読み出す。

【0044】ステップS12では、読み出したフラグ6の値をチェックする。フラグ6が“1”であるときには、これから書き込むべきブロック内のメモリセルが未だ劣化していないことを示すので、ブロックの置き換えを行わずに、ステップS15へ進む。一方、フラグ6が“0”であるときには、書き込むべきブロック内のメモリセルが劣化していることを示すので、ステップS13へ進む。

【0045】ステップS13では、ブロックの置き換えを行う。ブロックの置き換えは、ブロック置換テーブル8（図1）の物理アドレスをリザーブブロック3の物理アドレスに書き換えることにより行う。

【0046】ステップS14では、ブロックの置き換えに必要なその他の情報を登録する。例えば、置き換えられた元のブロックは使用不可能である旨の情報、または置き換え先のブロック（リザーブブロック3）は現在使用中である旨の情報等を登録する。以後、ブロックの置き換えを行った際には、未使用のリザーブブロック3の中のいずれか1つに置き換える。以上のブロック置き換えを行った後に、ステップS15へ進む。

【0047】ステップS15では、外部から供給される書き込みデータを基にして、リードソロモン符号等のECC演算を行い、ECCデータ5を生成する。ステップS16では、フラッシュメモリの性質上の理由から一度ブロックのデータを消去した後に、外部から供給される書き込みアドレスに対応するブロックに生データ4、ECCデータ5、フラグ6の書き込みを行う。

【0048】外部から供給される論理アドレスは、ブロック置換テーブル8により物理アドレスに変換されて、書き込みブロックを特定する。この際、ステップS13において、ブロックの置き換えが行われているときは、置き換え後の新しいブロックに書き込みが行われる。

【0049】生データ4は、外部から供給される書き込みデータであり、ECCデータ5は前ステップで生成されたデータである。フラグ6は、ブロック置き換え（ステップS13）が行われたか否かを問わずに“1”である。ブロックの置き換えが行われていないときには、フラグ6が“1”であるので、変更せずに“1”的ままで書

き込めばよい。また、ブロックの置き換えが行われたときには、フラグ6を初期値“1”にすればよいので、やはり“1”を書き込めばよい。以上により、書き込み全体の処理は終了する。

【0050】なお、読み出し時にエラーが検出されると、フラグ6は“1”から“0”に変更され、次回そのブロックに書き込みを行う際にブロックの置き換えを行う例を以上示したが、読み出し時にエラーが検出されたときには、次回の書き込み時まで待たず直ちにブロックを置き換えるようにしてもよい。その際には、ブロック置換テーブル8の物理アドレスを書き換える他に、元のブロックのデータを新しいブロックに全てコピーする必要がある。このようにしたときには、フラグ6は必ずしも必要でない。

【0051】図4は、本発明の他の実施例による不揮発性メモリの構成を示す。先の実施例では、フラッシュメモリに生データ4、ECCデータ5、フラグ6を記憶させる場合について説明した。しかし、汎用的なフラッシュメモリは、例えば1ブロックが256バイトの生データ4のみを記憶する構成を有する。そこで、汎用的なフラッシュメモリ21を用いた場合について説明する。

【0052】フラッシュメモリ21は、複数のブロックから構成され、各ブロックは、例えば256バイトの生データ4を記憶することができる。フラッシュメモリ21を構成する複数ブロックは、ユーザブロック22とリザーブブロック23に分けられる。

【0053】メモリ29は、不揮発性のメモリであり、フラッシュメモリ21の各ブロックに対応するECCデータ5とフラグ6を記憶するための領域を有する。フラッシュメモリ21のユーザブロック22とリザーブブロック23の全てのブロックに対応するECCデータ5とフラグ6がメモリ29に記憶される。

【0054】初回の書き込みの際、制御部27は、外部から供給される書き込みデータを基に、ECCデータ5を生成する。そして、書き込みデータを生データ4としてフラッシュメモリ21に書き込み、ECCデータ5をメモリ29に書き込む。ブロック置換テーブル28は、論理アドレスから物理アドレスへの変換を行う。

【0055】読み出しを行う際には、制御部27は、フラッシュメモリ21から生データ4を、メモリ29からECCデータ5とフラグ6を読み出し、エラー検出およびエラー訂正を行う。エラーが検出されたときには、フラグ6を“1”から“0”に変更してメモリ29に書き込む。

【0056】その後、書き込みを行う際には、メモリ29内の書き込みブロックに対応するフラグ6をチェックする。フラグ6が“0”的きには、ブロック置換テーブル28を書き換えて、ブロックの置き換えを行う。

【0057】以上のように、フラッシュメモリ21に生データ4のみを記憶させるときには、他のメモリ29に

ECCデータ5およびフラグ6を記憶させることにより、上述の実施例同様の機能を実現することができる。この他、フラッシュメモリに生データ4とECCデータ5のみを記憶させ、他のメモリにフラグ6を記憶させる等の任意の組み合わせを行うこともできる。

【0058】以上の実施例によれば、ブロック内にエラーが検出されたときにそのブロックの置き換えを行うので、ECCの能力（エラー訂正能力）を越える多数ビットのエラーの発生を防ぐことができる。例えば、メモリセル劣化の初期段階にブロックの置き換えを行うことにより、多数ビットのエラーの発生を防げる。例えエラーが発生したとしても少数ビットであれば、ECCによりエラー訂正が可能であるので正しいデータを読み出すことができ、フラッシュメモリの記憶データの信頼性を高めることができる。

【0059】なお、エラーには再現性のあるものとないものがある。再現性がないものについては、同一ブロック内で多数のエラービットが発生しにくく、ブロックの置き換えを行わなくてもよい。本実施例では、フラグ6が“1”または“0”を表すものとしたが、フラグ6の代わりにカウンタレジスタを用いて、同一ブロック内で連続してエラーが発生した回数をカウントし、記憶させるようにしてもよい。所定の回数だけ連続してエラーが発生したときには、再現性のあるエラーであると判断して、そのときのみブロックの置き換えをすればよい。これにより、再現性のないエラーが発生した際の無駄なブロック置き換えがなくなる。

【0060】また、ブロックからエラーが検出されたときにブロック置き換えを行うので、リードソロモン符号等のECCの他に、エラー訂正機能を有さず、エラー検出機能のみを有する符号方法により、ECCデータを生成するようにしてもよい。

【0061】さらに、本実施例では、読み出しまだ書き込みのためのメモリ単位と、消去のためのメモリ単位が同じ場合について説明したが、必ずしも同じである必要はない。例えば、消去単位は、読み書き単位の8つ分であってもよい。その場合、メモリの置き換えは、一般的に消去単位のブロックで行われる。

【0062】本実施例では、不揮発性メモリとしてフラッシュメモリの場合について述べたが、フラッシュメモリ以外でもデータ書き換え可能な不揮発性メモリであれば適用可能であり、この不揮発性メモリをメモリカードとして用いることもできる。

【0063】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0064】

【発明の効果】以上説明したように、本発明によれば、メモリ単位に記憶されるアクセス用データからエラーが

検出されると、それに応じてメモリ単位の置き換えを行うので、早期にメモリ単位の劣化を検知して、メモリ単位の劣化によるエラーの発生を防止し、不揮発性メモリの信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例による不揮発性メモリの構成を示すブロック図である。

【図2】フラッシュメモリからデータを読み出す際の処理を示すフローチャートである。

【図3】フラッシュメモリにデータを書き込む際の処理 10 を示すフローチャートである。

【図4】本発明の他の実施例による不揮発性メモリの構成\*

\*成を示すブロック図である。

【図5】従来技術による不揮発性メモリの構成を示すブロック図である。

【符号の説明】

1, 21, 41 フラッシュメモリ

2, 22 ユーザブロック

3, 23 リザーブブロック

4 生データ

5 ECCデータ

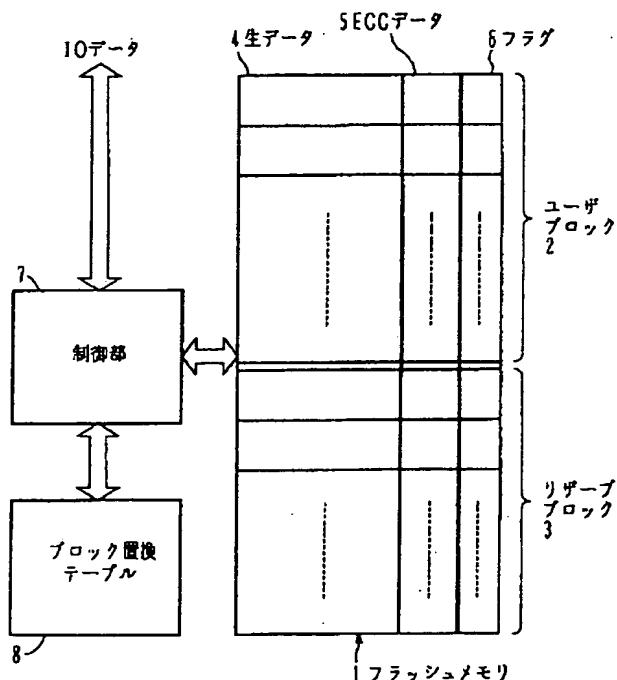
6 フラグ

7, 27, 47 制御部

8, 28 ブロック置き換えテーブル

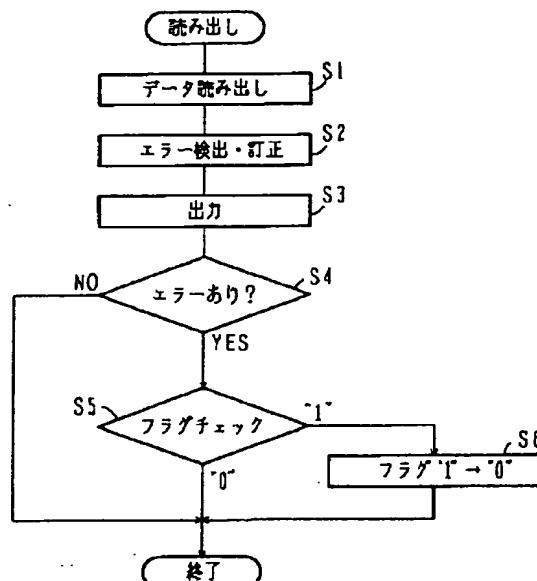
【図1】

実施例1



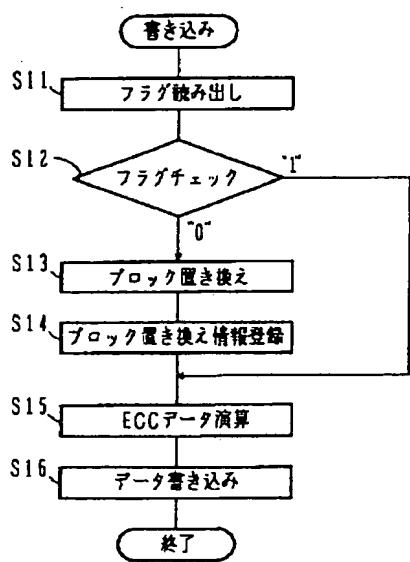
【図2】

フラッシュメモリからの読み出し



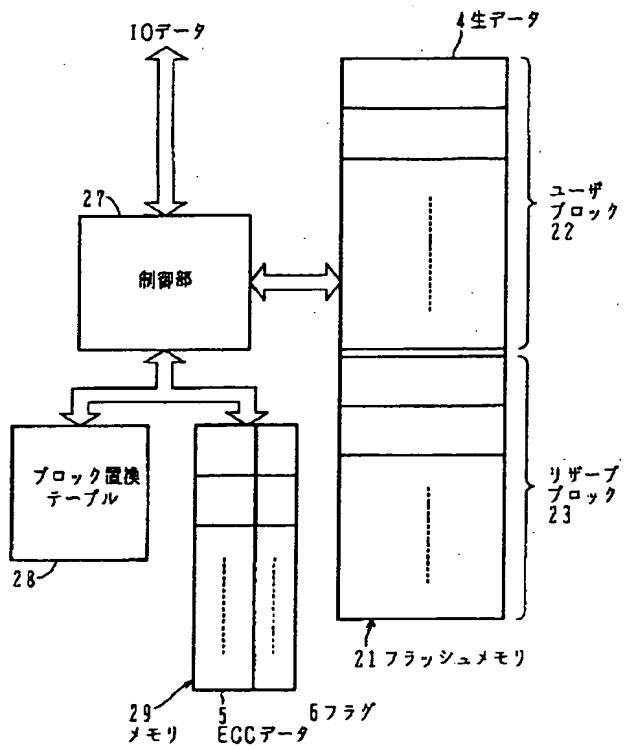
【図3】

フラッシュメモリへの書き込み



【図4】

実施例2



【図5】

従来技術

